

半導體入門・單元 15

製程整合：把幾百道步驟排成一條路

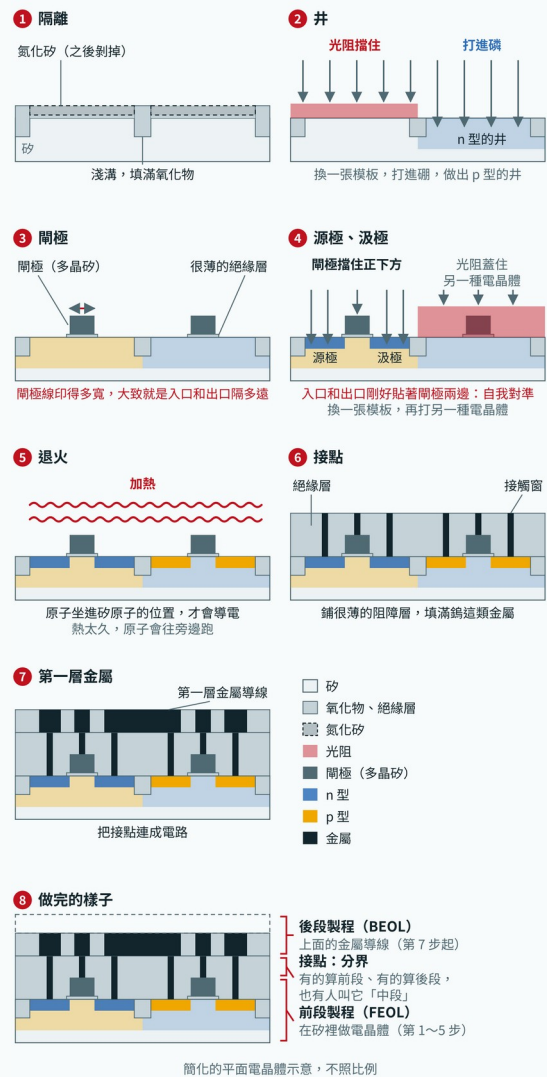
每一站都做對了，晶片也不一定會動：幾百道步驟要排成一條流程，步驟跟步驟之間的影響，要有人從頭看到尾。

半導體入門：跟著晶片的一生

課堂與非營利可以免費使用，請註明 fab24hr ；不能販售，也不能改成自己的作品。

學到什麼

- 1 照順序說出一顆電晶體怎麼做出來：隔離、井、閘極、源極和汲極、退火、接點、第一層金屬，以及每一步為什麼要做。
- 2 說明順序為什麼不能隨便換（金屬怕高溫、熱會累積），以及有些步驟之間為什麼不能等太久（Q-time）。
- 3 說明每一站都在規格裡、晶片卻可能不對的原因，以及整合工程師怎麼從結果往回找。



每一格是同一塊矽的剖面：左邊是入口、出口為 n 型的那一種電晶體，坐在 p 型的井裡；右邊是 p 型的那一種，坐在 n 型的井裡。簡化的平面電晶體示意，不照比例；最先進的電晶體更立體、步驟更多。

一步一步

1 挖淺溝、填滿氧化物，把電晶體一顆顆隔開（隔離）。

為什麼：電晶體擠得很密，每顆之間要有一道絕緣的牆。

不這樣會怎樣：隔壁的電晶體互相漏電，開關關不乾淨。

2 打進磷和硼，做出 n 型和 p 型的井。

為什麼：兩種電晶體各坐一種井，入口出口和底下是相反型，平常才是斷的。

不這樣會怎樣：少了相反型的井，入口和出口平常就通著，開關關不掉。

3 長一層很薄的氧化層，鋪多晶矽，印出細細的閘極。

為什麼：閘極隔著絕緣層用電壓管住通道；線多寬，大致就是入口到出口多遠。

不這樣會怎樣：絕緣層太薄會漏電、太厚變慢；閘極太寬變慢、太窄關不緊。

一步一步

4 拿閘極當擋板，在兩旁打出源極和汲極（自我對準）。

為什麼：另外印一張圖去對，總會偏一點；閘極自己擋，一定對齊。

不這樣會怎樣：對歪了，入口或出口跟通道之間留一段縫，電過不去。

5 加熱讓原子就位（退火），每一次加熱都記進熱預算。

為什麼：剛打進去的原子多半卡在不對的位置，還不會導電。

不這樣會怎樣：熱不夠，片電阻偏高；熱太久，原子往旁邊跑，剛對齊的形狀就糊了。

6 蓋絕緣層、挖小洞、填金屬，做出接點（接觸窗）。

為什麼：上面的導線只能在該接的幾點碰到電晶體，其他地方都要隔開。

不這樣會怎樣：洞沒挖到底，電阻變高甚至不通；對歪碰到閘極，就短路。

一步一步

7 最後才上金屬，做第一層導線，把接點連成電路。

為什麼：前段有些步驟要上千度，金屬一上去，晶圓就不能再那樣烤。

不這樣會怎樣：金屬先上，後面的高溫步驟就做不了；不接起來，電晶體只是一顆顆孤立的開關。

先隔開、再做底：隔離和井

晶圓廠沒辦法只在一小塊上做事，要讓一件事只發生在某些地方，得先印模板、繞一整圈：長膜、印圖案、蝕刻或植入、去光阻、清洗、量；一顆晶片要繞幾十圈、走幾百道步驟。以最簡單的平面電晶體來說，第一步是隔離：往矽裡挖淺溝、填滿氧化物、磨平，每顆電晶體之間就有一道絕緣的牆，不然隔壁會互相漏電。第二步是井：光阻蓋住一半打進磷，做出 n 型的井，換一張模板打進硼，做出 p 型的井；兩種電晶體各坐一種，入口、出口和底下是相反型，平常才斷得了。

做好閘極，再拿它當擋板

第三步做閘極：長一層非常薄的氧化層當絕緣層，鋪上會導電的多晶矽，印出一條條閘極。線多寬，大致就是入口和出口隔多遠，所以要印得特別細、特別準。

第四步，光阻蓋住另一種電晶體，把原子打進閘極兩旁：閘極擋住正下方，源極和汲極剛好貼著它兩邊，這叫自我對準（真實的流程還會先打一次淺的，在閘極兩側長一圈薄薄的側壁，再打深的，這裡先省略）；另外印一張圖去對，總會偏一點；偏到留下一段縫，電就過不去。第五步退火：剛打進去的原子多半卡在不對的位置、還不會導電，要加熱讓它們就位；熱太久，原子往旁邊跑，形狀就糊了，所以常只加熱幾秒。

接上金屬，就不能再回頭

第六步做接點：蓋一層厚的絕緣層、磨平，挖小洞到源極、汲極和閘極，鋪阻障層、填鎢這類金屬；洞沒挖到底，電阻變高甚至不通；對歪碰到閘極就短路。第七步再挖溝填金屬，做出第一層導線，兩種開關才配成一對、組成電路。做電晶體的第 1～5 步叫前段製程，做導線的叫後段製程。順序有道理：前段有些步驟要上千度，金屬一上去就不能再那樣烤；後面每一次加熱，都讓前面打進去的原子再跑一點，這筆帳叫熱預算，要先算進去。量產時這張流程表是鎖住的，叫 POR。

站跟站之間不能久等，也要有人看整條

晶圓在兩站之間裝在盒子裡、碰的是空氣：洗乾淨的矽會長回薄氧化層，顯影後的光阻放太久，蝕刻出來的線寬可能偏掉。所以規定上一站做完、下一站多久之內一定要開始，叫 Q-time，超過了要重工甚至報廢。步驟也會互相影響：膜厚一點點、蝕刻照舊，兩站都在規格裡，接觸窗的洞卻差一點沒刻到底，電阻變高。所以製程整合工程師（PIE）顧的是一個產品從第一站到最後一站：看每一站的量測，也看做完之後的電性和良率，出事時從結果往回找，哪一條數字最先動。

常見誤解

常聽到：每一站都在規格裡，做出來的晶片就一定沒問題。

其實：不一定。步驟會互相影響：上一站偏一點，下一站照舊做，各自都在規格裡，接起來卻可能讓小洞刻不到底、電阻變高。所以除了每一站的量測，還要有人看整條線，看晶圓做完之後量的電性和良率。

常聽到：晶圓放在無塵室裡，多等一下再做也沒關係。

其實：無塵室擋得住微粒，擋不住表面跟空氣慢慢反應。很多步驟之間有 Q-time，超過了就要重工甚至報廢。所以排貨的人常要反過來想：下一站還沒準備好，上一站就先別做。

玩

當製程整合工程師玩一班：你顧的不是一台機台，是一個產品從第一站到最後一站

用手機掃，從這裡開始玩

fab24hr.com/?job=pie&utm_source=slides



想一想

- 1 改一個條件，這一站變好了，後面某一站卻可能變差。誰應該有權決定改不改？決定之前，要先看到哪些資料？
- 2 下一站的機台突然停了，一批晶圓的 Q-time 正在倒數。等機台修好，和把上一站重做一次，各有什麼代價？

必讀

一顆電晶體是怎麼做出來的？從隔離到第一層金屬，一步一步看

fab24hr.com/blog/transistor-flow/

製程整合工程師（PIE）在做什麼？跟製程工程師差在哪？

fab24hr.com/blog/what-is-pie/

Q-time 是什麼？為什麼晶圓不能放太久

fab24hr.com/blog/what-is-q-time/

半導體入門：跟著晶片的一生

<https://fab24hr.com/learn/integration/>

內容整理自公開的教科書、產業標準、大學課程講義與論文；遊戲裡的公司、人物、機台編號和數字是虛構的。

課堂與非營利可以免費使用，請註明 fab24hr ；不能販售，也不能改成自己的作品。

通用示意：依公開資料、由 AI 協助製作，可能有錯；不代表任何一家公司的機台